

English translation of Japanese Patent Laid-Open publication No. 11-112753

(43) Date of publication of application: April 23, 1999

5 (21) Application number: 9-269444/1997

(22) Date of filing: October 2, 1997

(71) Applicant: RICOH CO LTD

(72) Inventor: Hirofumi SAKAGAMI

---

10 [DOCUMENT NAME] Specification

[TITLE OF THE INVENTION] Image Processing Apparatus

[CLAIMS]

[Claim 1] An image processing apparatus comprising:

means for reading a document, and inputting an  
15 image;

first and second storage means to which image  
data obtained by the input means are written alternately;

means for dividing the image data in said first  
and second storage means in a main scan direction, for  
20 alternately reading the divided image data, for  
conducting a pipeline processing, and thereby for  
executing a logic;

third and fourth storage means to which the  
image data having been subjected to the operation are  
25 alternately written;

means for alternately reading the image data  
from the third and fourth storage means and for  
outputting the image data before the division;

means for accumulating predetermined logic information to be set to said means for executing the logic; and

means for reading the logic information from the storage means to set the read logic information to said means for executing the logic.

5 [Claim 2] The image processing means according to claim 1, wherein when the image data is divided in the main scan direction and is alternately read, a predetermined 10 number of pixels on boundary portions of the division are read repeatedly.

15 [Claim 3] The image processing apparatus according to claim 1, wherein when the image data is alternately written to said first and second storage means, a predetermined number of pixels are written repeatedly to 20 said both storage means.

[Claim 4] An image processing apparatus comprising:

means, connected to a computer through connection means, for executing a predetermined image processing for outputting the image data obtained from the input means according to claim 1 to said computer; and

25 means for outputting the data, to which the predetermined image processing has been executed, to said computer through said connection means,

wherein said apparatus further comprising:

means for accumulating predetermined logic information for conducting said image processing; and

5 means for reading said logic information from said storage means to set the logic information to said execution means.

[Claim 5] An image processing apparatus comprising:

10 means, connected to a computer through connection means, for executing a predetermined image processing to a print output data outputted from the computer; and

the output means according to claim 1, for outputting the data to which the predetermined image processing has been executed,

15 wherein said apparatus further comprising:

means for accumulating predetermined logic information for conducting the image processing; and

20 means for reading the logic information from said storage means, and for setting the logic information to said execution means.

[DETAILED EXPLANATION OF THE INVENTION]

[0001]

[FIELD OF THE INVENTION]

25 The present invention relates to an image processing apparatus, and particularly relates to an

image processing apparatus for conducting an image processing necessary when outputting image data inputted from a scanner and outputting the inputted image data to a printer in a digital color copying machine, and for 5 conducting an image processing necessary when transmitting image data inputted from a scanner to a computer connected to the color copying machine or when outputting the image data transmitted from the computer to the printer.

10 [0002]

[PRIOR ART] An image processing in an image processing apparatus such as a color copying machine, is normally executed by a dedicated LSI. There is, for example, an image processing apparatus (refer to Japanese 15 Patent laid open Publication 8-307717/1996) wherein an image region separation function and the like is incorporated in a dedicated LSI. Although the development of LSI of this type requires a considerable time, the life of the product is short and product 20 development efficiency is low due to a fact that various improvements and changes are frequently conducted to image processing methods.

25 [0003] Further, the above-mentioned color copying machine is also used as a scanner or as a printer for a computer connected to a network. In this case, however,

an external device is required, and this increase in the quantity of hardware devices increases the cost.

[0004] Therefore, there is proposed a signal processing method capable of increasing the number of processing signals without increasing the quantity of hardware devices (refer to Japanese Patent laid open Publication 3-320926/1991). In this method, an element having changeable internal logic is used as a logic element, and the interior of the logic element is appropriately changed without providing a plurality of image processing circuits, thereby executing a specified logic and decreasing the quantity of hardware devices.

[0005]

[PROBLEMS TO BE SOLVED BY THE INVENTION]

[0006] Nevertheless, image data processed by a color copying machine, a scanner or a printer is considerably large in quantity and, in particular, many line memories each having a capacity as large as 8 bits \* 5000 words are used. Therefore, the line memories cannot be included in the above-mentioned logic element. It is difficult, therefore, to apply the signal processing method stated above to a color copying machine or the like for processing a large quantity of image data.

[0006] The present invention has been made by considering the above background, and it is an object of

the present invention to provide an image processing apparatus capable of shortening a development period for an image processing section in a color copying machine, and of facilitating the change of internal logic.

5 [0007] It is another object of the present invention to provide an image processing apparatus capable of dispensing with an external device if a color copying machine is used as a scanner or a printer for a computer connected to a network.

10 [0008]

[MEANS FOR SOLVING THE PROBLEMS]

In order to obtain the above object, the invention recited in claim 1 comprises: means for reading a document, and inputting an image; first and second storage means to which image data obtained by the input means are written alternately; means for dividing the image data in said first and second storage means in a main scan direction, for alternately reading the divided image data, for conducting a pipeline processing, and thereby for executing a logic; third and fourth storage means to which the image data having been subjected to the operation are alternately written; means for alternately reading the image data from the third and fourth storage means and for outputting the image data before the division; means for accumulating predetermined

logic information to be set to said means for executing the logic; and means for reading the logic information from the storage means to set the read logic information to said means for executing the logic.

5 [0009] In the invention recited in claim 2, when the image data is divided in the main scan direction and is alternately read, a predetermined number of pixels on boundary portions of the division are read repeatedly.

10 [0010] In the invention recited in claim 3, when the image data is alternately written to said first and second storage means, a predetermined number of pixels are written repeatedly to said both storage means.

15 [0011] The invention recited in claim 4 is an image processing apparatus comprising: means, connected to a computer through connection means, for executing a predetermined image processing for outputting the image data obtained from the input means according to claim 1 to said computer; and means for outputting the data, to which the predetermined image processing has been 20 executed, to said computer through said connection means. The apparatus further comprises: means for accumulating predetermined logic information for conducting said image processing; and means for reading said logic information from said storage means to set the logic information to 25 said execution means.

[0012] The invention recited in claim 5 is an image processing apparatus comprises: means, connected to a computer through connection means, for executing a predetermined image processing to a print output data 5 outputted from the computer; and the output means according to claim 1, for outputting the data to which the predetermined image processing has been executed. The apparatus further comprises: means for accumulating predetermined logic information for conducting the image 10 processing; and means for reading the logic information from said storage means, and for setting the logic information to said execution means.

[0013]

[PREFERRED EMBODIMENTS OF THE INVENTION]

15 An embodiment of the present invention will be described below with reference to the drawings. Fig. 1 shows a constitution of the embodiment of the present invention. An input means 1 is, for example, a scanner reading a document to input an image. A logarithm 20 converter means 2 corresponds to a logarithm converter circuit described in the above-mentioned publication (Japanese Patent laid open Publication 8-307717/1996), and it converts a linear reflectance signal into a linear density signal. Fig. 6 shows a constitution of the image 25 processing apparatus shown in Fig. 1 of the publication.

[0014] Logic means 3 to 6 process image data by means of internal logic set by control means, and the internal logic is appropriately constructed by a rewritable FPGA (Field Programmable Gate Array). Storage means 7 to 10 are buffer memories, such as RAM's, temporarily storing image data. Control means 11 consists of a CPU core and relevant ROM and RAM which fetches logic information from an accumulation means and inputs the logic information into the logic means 3 to 6 to set the internal logic.

[0015] Accumulation means 12 is a ROM accumulating a plurality of logic information set to the logic means 3 to 6. Connection means 13 is an interface for inputting and outputting data to and from a computer. Output means 14 is a printer which outputs image data. An image region separator means 15 is constructed by integrating an edge separation circuit, a dot separation circuit, a color separation circuit, a storage device, a multiplexer and a decision circuit shown in Fig. 6.

[0016] In this embodiment, the image processing apparatus operates as a copying machine, a computer scanner or a printer for a computer by replacing the internal logic of each of the logic means 3 to 6. Now, the embodiment in each case will be described.

[0017] (1) Embodiment as a copying machine:

By way of example, description will be given to a case of realizing a color copying machine shown in Fig. 6. A filter circuit (3), a color correction circuit (4), a UCR (undercolor remove) circuit (5) and a dither circuit 5 (6) shown in Fig. 6 are realized by the logic means 3 to 6 according to the present invention as follows.

[0018] In the filter circuit, for example, filter factors as shown in Figs. 7(a) and (b) are employed. In this case, the filter circuit is normally constructed 10 with line memories capable of storing the pixel number of document image data in a main scan direction as shown in Fig. 2. For example, while it is assumed that the longitudinal direction of an A4-size document is the main scan direction, if an image is read with a resolution of 15 400 dpi, one line consists of about 5,000 pixels. The capacity of the line memories used is, therefore, 8 bits \* 5,000 pixels \* 2 line memories \* 3 colors = 240,000 bits for 8-bit data per one pixel.

[0019] On the other hand, as an example of the 20 logic means 3 to 6, the capacity of an RAM capable of including a maximum-size FPGA (XC4062XL) shown in "Programmable Logic Data Book" (1997 V3, Xilinx, Inc.), pages 4 to 6 is 73,728 bits. Therefore, it is necessary to use a plurality of FPGA's, which increases circuit 25 scale and pushes up the cost.

[0020] According to the present invention, an image processing is conducted by using line memories of small capacity which can be included in an FPGA so as to solve this problem. For example, it is assumed that the 5 number of storage pixels of the line memory is 32. Namely, while assuming that the number of pixels in the main scan direction is 32, a pipeline processing is conducted. As a result, the capacity of the used line memories is 8 bits \* 32 pixels \* 2 line memories \* 3 10 colors = 1,536 bits. Thus, the line memories can be sufficiently included in one FPGA.

[0021] The image data outputted from the logarithm converter means 2 is divided into a plurality of segments each having a predetermined quantity equal to 15 or smaller than the capacity of the storage means 7 (while the storage means 7 and 8 have the same capacity) in the sub-scan direction as shown in Fig. 3, which segments are referred to as band 1, band 2, ..., and band n (where n is an integer equal to or greater than 2). 20 The image data of each band is alternately inputted into the storage means 7 and 8. During a filter operation, it is necessary to multiply respective five pixels on continuous three lines (a total of 15 pixels) by factors corresponding to their respective positions and to add 25 them together. Therefore, if a scanner image is divided

into banks, an image corresponding to one line becomes scant on each of the upper and lower ends of the scanner image. In order to compensate for this shortage, the final line of the band  $i-1$  is added to the top of the 5 image data of the band  $i$  (where  $i = 2, \dots, n-1$ ) as shown in Fig. 4, and the leading line of the band  $i+1$  is added to the end of the image data of the band  $i$ . In this way, at the time of switching the input of image data between the storage means 7 and 8, the image data corresponding 10 to two lines are repeatedly inputted into the storage means 7 and 8.

[0022] The image data inputted into the storage means 7 or 8 is divided into segments each having 32 pixels in the main scan direction and are outputted, as 15 shown in Fig. 5. First, the first 32 pixels of the first line of the storage means are outputted. Then the first 32 pixels of the second line are outputted. Similar processing is performed likewise, and the first 32 pixels of the final line stored in the storage means are 20 outputted.

[0023] Thereafter, returning again to the first line, the next 32 pixels of the first line are outputted. The image data corresponding to two lines on band boundaries are repeatedly outputted. At this time, 25 therefore, pixels on division boundaries in the main scan

direction are repeatedly outputted. During the filter operation, since two pixels in the main scan direction on both sides of a noted pixel are simultaneously required, 32 pixels are outputted while the last four pixels out of 5 the first 32 pixels of the first line already outputted are repeated outputted. Likewise, the pixels up to the final line in the storage means are outputted.

[0024] In this way, the image data outputted from the logarithm converter circuit is temporarily stored in 10 the storage means, the image data is divided into images each having 32 pixels in the main scan direction, and a pipeline processing is conducted. At this moment, by repeatedly outputting the pixels on the division boundaries in the main scan direction and the sub-scan 15 direction, it is possible to smoothly execute a filter operation.

[0025] The image data processed by the filter circuit, the color correction circuit, the UCR circuit and the dither circuit employing small capacity line 20 memories which can be included in the logic means is alternately inputted into the storage means 9 and 10. Then, the image data is outputted as an image having 5,000 pixels in the main scan direction from the storage means, for which the input of the image data has been 25 completed, to the printer.

[0026] Logic information for realizing the filter circuit, the color correction circuit, the UCR circuit and the dither circuit, all of which are contrived as stated above by means of the logic means 3 to 6, is 5 accumulated in the accumulation means 12 in advance.

[0027] First, the logic is set to the logic means 3 to 6 by the control means 11. Next, the scanner reads a document, the output image data of the scanner is subjected to logarithm conversion and a predetermined 10 quantity of image data is inputted into the storage means 7. Before the image data is completely inputted into the storage means 7, a predetermined number of repeatedly outputted pixels are inputted into the storage means 8, and the image data are continuously inputted into the 15 storage means 8.

[0028] While the image data is being inputted into the storage means 8, the image data inputted into the storage means 7 is divided and outputted in the main scan direction, and a predetermined pipeline processing 20 is conducted to the divided image data by the logic means 3 to 6. The divided image data which have been processed are inputted into the storage means 9, and image data corresponding to one band to be outputted to the printer is completed. Thereafter, the image data is outputted 25 again to the printer from the storage means 9 as an image

having 5,000 pixels in the main scan direction. At the same time, the input of the divided image data after the pipeline processing to the storage means 10 is started.

[0029] Thus, a circuit equivalent to the color copying machine in the above-mentioned publication can be realized by using part of the logic means (FPGA) having changeable internal logic. As stated above, the embodiment of Fig. 1 operates as a copying machine.

[0030] (2) Embodiment as a scanner for a computer: Here, by way of example, description will be given to a case of processing up to that of the filter circuit for the image data outputted from the scanner to output resultant image data to a computer connected to the scanner.

[0031] The same logic as that in the embodiment of the copying machine (1) mentioned above is set to the logic means 3. Logic for allowing image data to pass through the inside is set to the logic means 4 and 5. Logic for alternately inputting the image data subjected to a division processing by the logic means to the storage means 9 and 10 and for outputting the image data again as an image having 5,000 pixels in the main scan direction to the computer is set to the logic means 6.

[0032] Logic information for setting the above logic to the logic means 3 to 6 is accumulated in the

accumulation means 12 in advance. The logic information is read from the accumulation means 12 by the control means 11, and the above logic is set to the logic means 3 to 6. A document is read by the scanner and is subjected 5 to the above-mentioned image processing by the logic means 3 to 6. Thereafter, the image data is outputted to the computer connected to the scanner by the storage means 9 or 10 through the connection means 13. Thus, the embodiment of Fig. 1 functions as a scanner for a 10 computer.

[0033] (3) Embodiment as a printer for a computer:

By way of example, description will be given to a case where the image processing apparatus functions as 15 a page printer as described in Triceps WS 133 "Page Printer Control Technique", page 43. Fig. 8 shows an example of a structure of the page printer shown in the above publication.

[0034] In the block diagram shown in Fig. 8, 20 constituent elements relating to image processing are as follows:

- a. CPU section: to control an entire page printer controller.
- b. Font section: to store character pattern data.
- 25 c. Write control section: to convert print output data

transmitted from a computer into image data, and to store the converted data in a memory.

5 [0035] Further, an engine interface control section shown in Fig. 8 controls a printer engine connected thereto and outputs image data. Since the function of outputting the image data to the printer from the respective storage means is already realized for this embodiment as a copying machine, the description of the engine interface control section will not be given herein.

10 [0036] The CPU section corresponds to the control means 11 in this embodiment. The character pattern data constituting the font section is accumulated in the accumulation means 12 in advance.

15 [0037] A graphic write function is given to the logic means 4, and a write control function is given to the logic means 5. At this time, both of the logic means are designed to be accessible to the storage means 7, 8, 9 and 10 as frame buffers. Namely, data can be accessed by the storage means 7 and 8 by way of the logic means 3 from the logic means 4, and data can be accessed by the storage means 9 and 10 by way of the logic means 5 and 6. Moreover, data can be accessed by the storage means 7 and 8 by way of the logic means 3 and 4 from the storage means 7 and 8, and data can be accessed by the storage means 9 and 10 by way of the logic mean 6.

[0038] Furthermore, each of the logic means 3 and 6 has the functions of switching the above-mentioned data access routes inside of the logic means 4 and 5 to output the data in the storage means 7, 8, 9 and 10 to the printer . Logic information for setting the above function to the logic means 3 to 6 is accumulated in the accumulation means 12.

[0039] First, the above logic is set to the logic means 3 to 6 by the control means 11. Next, print output data inputted from the computer through the connection means 13 is temporarily inputted into a RAM of the control means 11. A CPU in the control means 11 discriminates the data. If the data is character code, a corresponding character pattern is read from the font section in the accumulation means 12, and the data is fed to the logic means 4. The logic means 4 writes the data thus fed as image data to the storage means (frame buffers). If the data in the RAM is raster image data, then the data is fed to the logic means 4 and is decoded by the logic means 4, and the image data is written to the storage means (frame buffers). If the data in the RAM is graphic data, then the data is fed to the logic means 5, and the command is developed into dots to be written to the storage means (frame buffers).

[0040] As explained above, after the CPU

discriminates the data and feeds the data to the corresponding logic means, the logic means conducts a processing for writing the data to the storage means. Thus, after processing the print output data 5 corresponding to one page, the image data in each storage means is outputted to the printer. Thus, the embodiment of Fig. 1 operates as a printer for a computer.

[0041]

[ADVANTAGES OF THE INVENTION]

10 As explained above, according to the invention recited in claim 1, since the logic means (FPGA) having changeable internal logic is employed, a development period is shortened, and logic change can be easily made if compared with a case of employing a dedicated LSI. 15 Further, since a part of the pipeline processing section is realized by an FPGA, the number of expensive FPGA's to be used can be reduced if compared with a case where the entire pipeline processing section is constituted out of FPGA's and it is, therefore, possible to suppress cost 20 increase.

[0042] According to the invention recited in claim 2, since the pixels on the division boundary portions in the main scan direction of the image data are repeatedly outputted, it is possible to efficiently 25 execute a filter operation for simultaneously processing

on a plurality of continuous pixels in the main scan direction.

[0043] According to the invention recited in claim 3, since the pixels on the division boundary portions in the sub-scan direction of the image data are repeatedly inputted into the storage means, a filter operation for simultaneously processing a plurality of continuous pixels in the sub-scan direction can be efficiently executed.

10 [0044] According to the invention recited in claim 4, since connection means for connecting the image processing apparatus to a different computer is provided, and document image read can be processed and then outputted to the different computer, it is not necessary 15 to provide an external device if the image processing apparatus is used as a scanner for a computer.

[0045] According to the invention recited in claim 5, since connection means for connecting the image processing apparatus to a different computer, image processing logic for outputting print output data 20 outputted from the computer to a printer is set to the logic means and then an image processing is conducted, it is not necessary to provide an external device if the image processing apparatus is used as a printer for a 25 computer.

## [BRIEF EXPLANATION OF THE DRAWINGS]

Fig. 1 shows the constitution of an embodiment of the present invention.

5 Fig. 2 shows line memories constituting part of a filter circuit.

Fig. 3 shows that image data which has been subjected to logarithm conversion are divided into bands.

Fig. 4 is an explanatory view for writing band data to storage means.

10 Fig. 5 is an explanatory view for dividing a band i in the main scan direction.

Fig. 6 shows an example of the constitution of a color copying machine to which the present invention is applied.

15 Figs. 7(a) and 7(b) show examples of the filter circuit.

Fig. 8 shows an example of the constitution of a page printer to which the present invention is applied.

## [REFERENCE NUMERALS]

20 1 input means

2 logarithm (Log) conversion means

3, 4, 5, 6 logic means

7, 8, 9, 10 storage means

11 control means

25 12 accumulation means

- 13 connection means
- 14 output means
- 15 image region separation means

## [Abstract]

[OBJECT] To shorten a development period for an image processing section in a color copying machine, and to facilitate the change of internal logic.

## 5 [MEANS FOR SOLUTION]

Inputted, logarithm-converted image data are divided into a plurality of bands and alternately are written to storage means 7 and 8. When reading the data, the image data of each band is divided in the main scan direction, 10 logic means (FPGA) 3 to 6 conduct a pipeline processing to the divided data, respectively, and data corresponding to one band is written to storage means 9. Simultaneously with the output of the data corresponding to one band from the storage means 9 to a printer, next 15 pipeline-processed divided data are written to storage means 10. In case of realizing a copying machine, logic information for realizing a filter circuit, a color correction circuit and the like from accumulation means 12 is set to logic means.

Fig. 1 [図1]

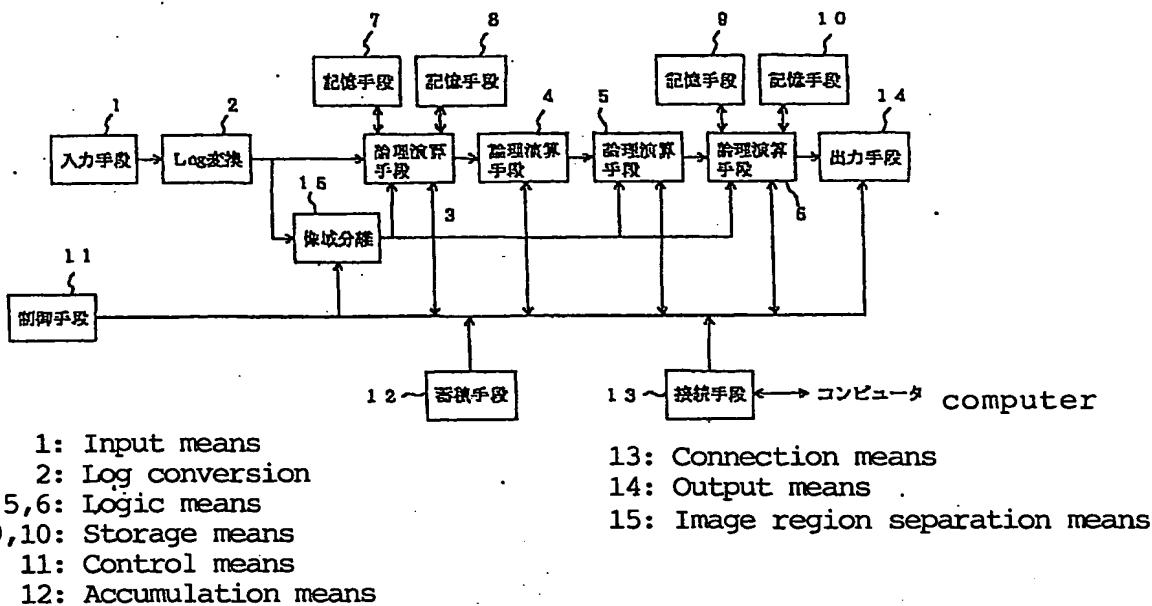


Fig. 2 [図2]

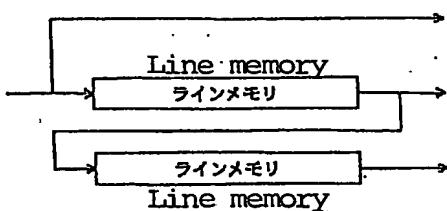


Fig. 4 [図4]

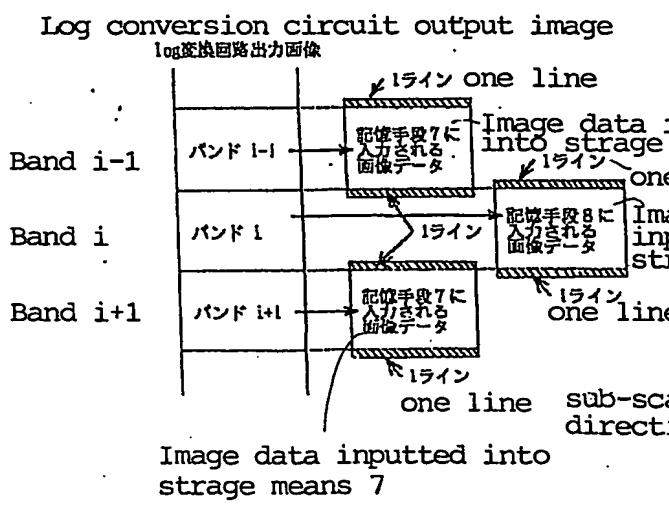


Fig. 3 [図3]

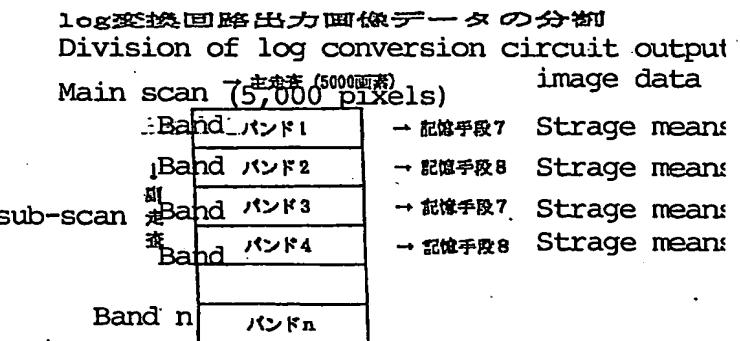


Fig. 5 [図5]

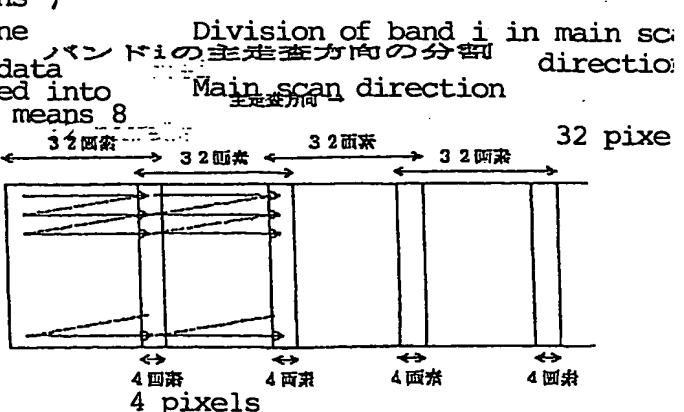
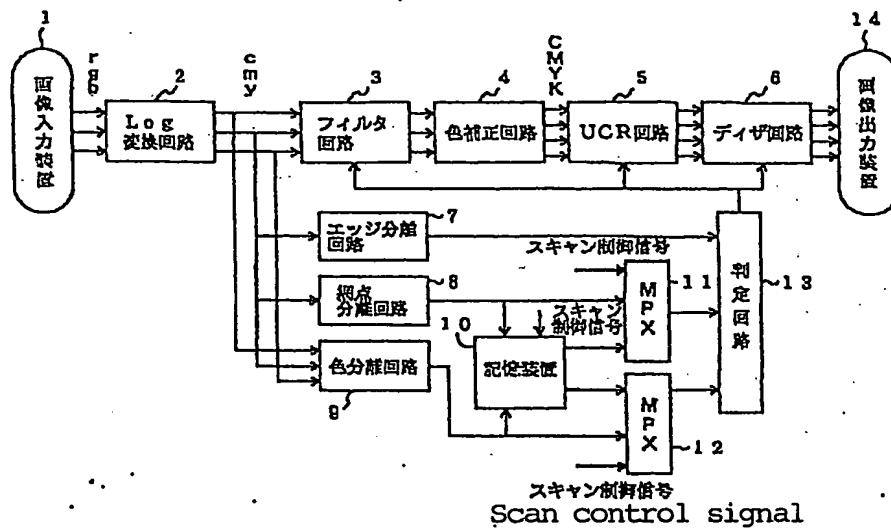


Fig. 6 [図6]



- 1: Image input device
- 2: Log conversion
- 3: Filter circuit
- 4: Color correction circuit
- 5: UCR circuit
- 6: Dither circuit
- 7: Edge separation circuit
- 8: Dot separation circuit
- 9: Color separation circuit
- 10: Storage device
- 13: Decision circuit
- 14: Image output device

Fig. 7 [図7]

(a)				
1	2	2	2	1
2	4	4	4	2
1	2	2	2	1

(b)				
0	-1	-4	-1	0
-2	-8	36	-8	-2
0	-1	-4	-1	0

Engine  
interface  
control section  
Print

Fig. 8 [図8]

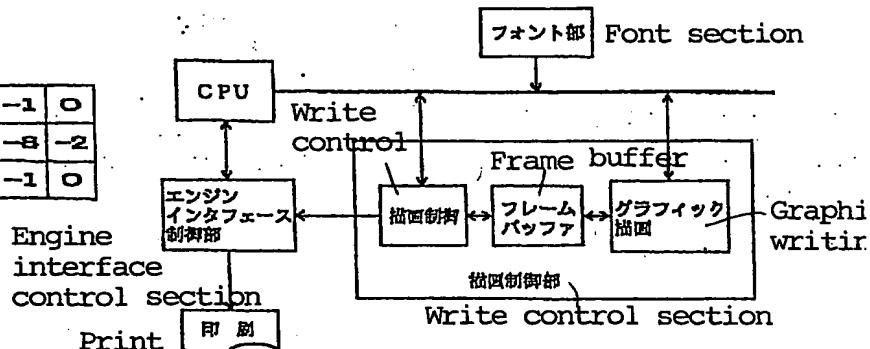


Fig. 1 [図1]

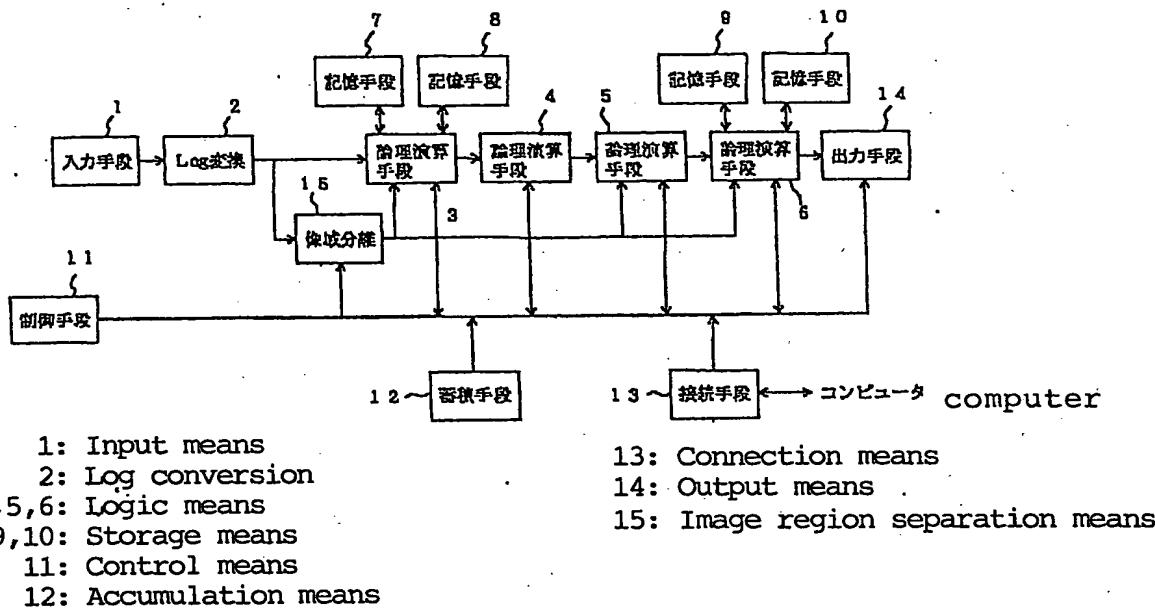


Fig. 2 [図2]

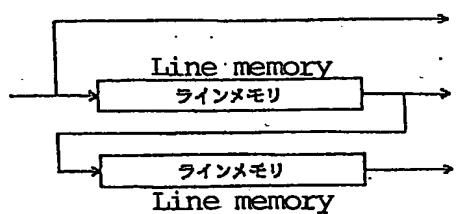


Fig. 4 [図4]

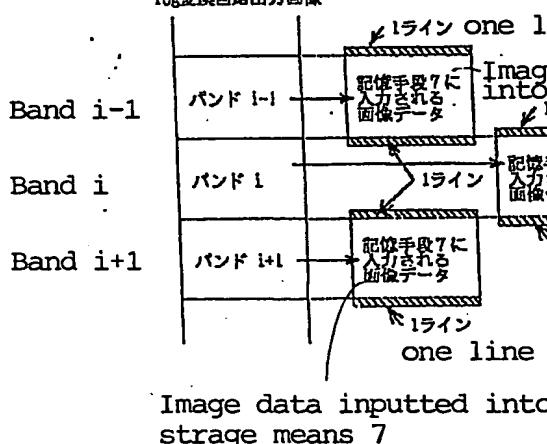
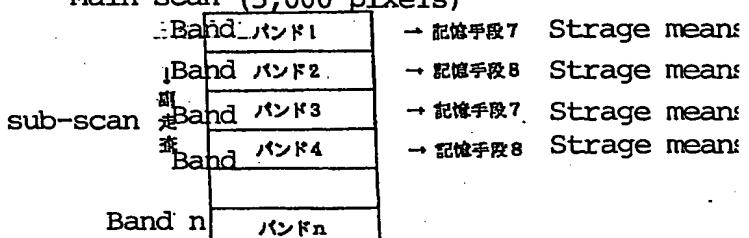
Log conversion circuit output image  
log変換回路出力画像

Fig. 3 [図3]

log変換回路出力画像データの分割  
Division of log conversion circuit output  
Main scan (主走査 (5000画素)) image data



Band n バンドn

Fig. 5 [図5]

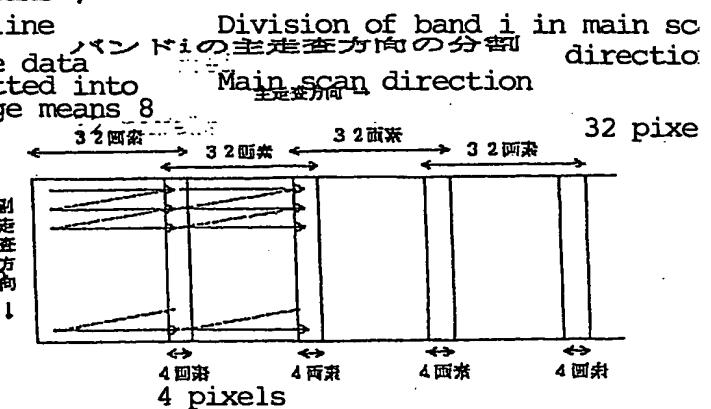
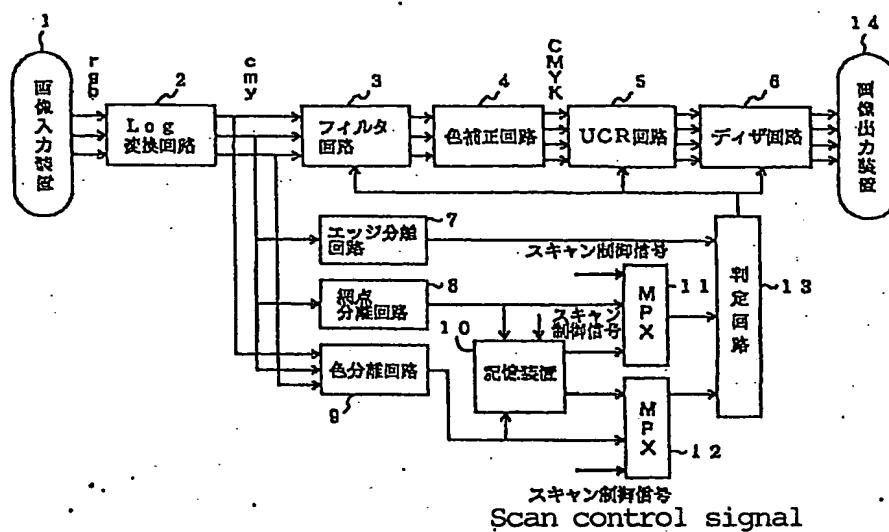


Fig. 6 [図6]



- 1: Image input device
- 2: Log conversion
- 3: Filter circuit
- 4: Color correction circuit
- 5: UCR circuit
- 6: Dither circuit
- 7: Edge separation circuit
- 8: Dot separation circuit
- 9: Color separation circuit
- 10: Storage device
- 13: Decision circuit
- 14: Image output device

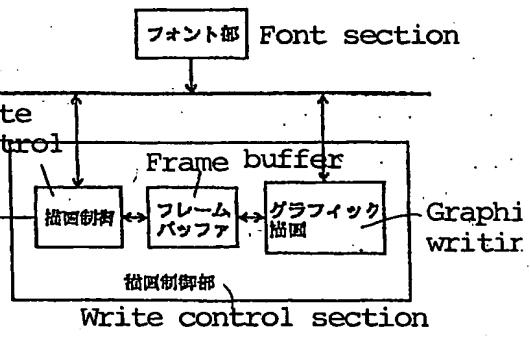
Fig. 7 [図7]

(a)				
1	2	2	2	1
2	4	4	4	2
1	2	2	2	1

(b)				
0	-1	-4	-1	0
-2	-8	36	-8	-2
0	-1	-4	-1	0

Engine  
interface  
control section  
Print

Fig. 8 [図8]



(51) Int. C1. 6

H 0 4 N 1/21  
G 0 6 T 1/20

識別記号

F I

H 0 4 N 1/21  
G 0 6 F 15/66

L

審査請求 未請求 請求項の数 5

O L

(全7頁)

(21) 出願番号 特願平9-269444

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(22) 出願日 平成9年(1997)10月2日

(72) 発明者 阪上 弘文

東京都大田区中馬込1丁目3番6号 株式会  
社リコー内

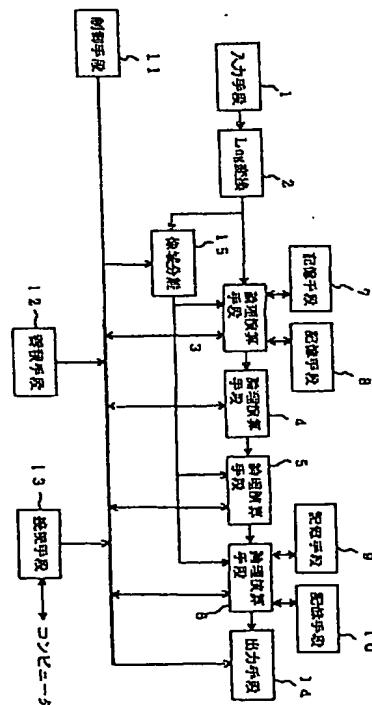
(74) 代理人 弁理士 鈴木 誠 (外1名)

## (54) 【発明の名称】 画像処理装置

## (57) 【要約】

【課題】 カラー複写機を構成する画像処理部の開発期間を短縮すると共に、内部論理の変更を容易にする。

【解決手段】 入力され、Log変換後の画像データを複数のバンドに分割して、記憶手段7、8に交互に書き込む。読み出すとき、各バンドの画像データを主走査方向に分割し、論理演算手段(FPGA)3～6は、各分割されたデータをパイプライン処理し、1バンド分のデータを記憶手段9に書き出す。記憶手段9から1バンド分のデータがプリンタに出力されると同時に、次のパイプライン処理された分割データが記憶手段10に書き出される。複写機を実現する場合には、蓄積手段12からフィルタ回路、色補正回路などを実現する論理情報を論理演算手段に設定する。



## 【特許請求の範囲】

【請求項1】 原稿を読み取り画像を入力する手段と、該入力手段によって得られた画像データを交互に書き込む第1、第2の記憶手段と、該第1、第2の記憶手段から前記画像データを主走査方向に分割して交互に読み出しバイオライン処理することにより、設定された論理演算を実行する手段と、該演算実行後の画像データを交互に書き込む第3、第4の記憶手段と、該第3、第4の記憶手段から交互に画像データを読み出し、前記分割前の画像データを出力する手段と、前記論理演算手段に設定するための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴とする画像処理装置。

【請求項2】 前記画像データを主走査方向に分割して交互に読み出すとき、前記分割された境界部分の所定数の画素を重複して読み出すことを特徴とする請求項1記載の画像処理装置。

【請求項3】 前記第1、第2の記憶手段に交互に画像データを書き込むとき、所定数の画素を両方の記憶手段に重複して書き込むことを特徴とする請求項1記載の画像処理装置。

【請求項4】 コンピュータと接続手段を介して接続され、請求項1記載の入力手段から得られた画像データを前記コンピュータに出力するための所定の画像処理を実行する手段と、該実行後のデータを前記接続手段を介して前記コンピュータに出力する手段を備えた画像処理装置であって、前記画像処理を行うための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴とする画像処理装置。

【請求項5】 コンピュータと接続手段を介して接続され、該コンピュータから出力されたプリント出力用データに対して所定の画像処理を実行する手段と、該実行後のデータを出力する請求項1記載の出力手段を備えた画像処理装置であって、前記画像処理を行うための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴とする画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、画像処理装置に関する、特に、デジタルカラー複写機において、スキャナから入力した画像データをプリンタに出力するときに必要な画像処理を行い、またスキャナから入力した画像データをカラー複写機に接続したコンピュータに伝送するとき、あるいはコンピュータから伝送された画像データをプリンタに出力するときに必要な画像処理を行う画像処理装置に関する。

## 【0002】

【従来の技術】 カラー複写機などの画像処理装置におい

10

て行われる画像処理は、通常、専用LSIによって実行される。例えば、像域分離機能などを専用LSIに組み込んだ画像処理装置（特開平8-307717号公報を参照）などを挙げることができる。このようなLSIの開発には相当の期間を要するのに対し、画像処理方法について種々の改善や変更が頻繁に行われるために、製品の寿命が短くなり、製品開発の効率も悪い。

【0003】 また、上記したカラー複写機を、ネットワークに接続されたコンピュータ用のスキャナやプリンタとしても使用されているが、この場合には、外付けの装置が必要になり、ハード量が多くなり、コストが増加する。

【0004】 そこで、ハード量を増やすことなく処理信号数を多くすることができる信号処理方法が提案されている（特開平3-320926号公報を参照）。この方法では、論理演算素子として内部論理が変更可能である素子を使用し、複数の画像処理用の回路を設げずに、論理演算素子の内部を適宜変更することによって、設定された論理演算を実行させ、ハード量を少なくするものである。

## 【0005】

【発明が解決しようとする課題】 しかしながら、カラー複写機やスキャナ、プリンタで処理される画像データ量は大量のデータ量であり、特に8ビット×5000ワード相当の容量を持つ多数のラインメモリが使用されていることから、上記した論理演算素子にラインメモリを内蔵することができない。このため、上記した信号処理方法は、大量の画像データを処理するカラー複写機などには適用が難しい。

【0006】 本発明は上記した背景を考慮してなされたもので、本発明の目的は、カラー複写機を構成する画像処理部の開発期間を短縮すると共に、内部論理の変更を容易にした画像処理装置を提供することにある。

【0007】 本発明の他の目的は、カラー複写機を、ネットワークに接続されたコンピュータ用のスキャナ、プリンタとして使用する場合に、外付けの装置を不要にした画像処理装置を提供することにある。

## 【0008】

【課題を解決するための手段】 前記目的を達成するため、請求項1記載の発明では、原稿を読み取り画像を入力する手段と、該入力手段によって得られた画像データを交互に書き込む第1、第2の記憶手段と、該第1、第2の記憶手段から前記画像データを主走査方向に分割して交互に読み出しバイオライン処理することにより、設定された論理演算を実行する手段と、該演算実行後の画像データを交互に書き込む第3、第4の記憶手段と、該第3、第4の記憶手段から交互に画像データを読み出し、前記分割前の画像データを出力する手段と、前記論理演算手段に設定するための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴とする画像処理装置。

50

実行手段に設定する手段とを備えたことを特徴としている。

【0009】請求項2記載の発明では、前記画像データを主走査方向に分割して交互に読み出すとき、前記分割された境界部分の所定数の画素を重複して読み出すことを特徴としている。

【0010】請求項3記載の発明では、前記第1、第2の記憶手段に交互に画像データを書き込むとき、所定数の画素を両方の記憶手段に重複して書き込むことを特徴としている。

【0011】請求項4記載の発明では、コンピュータと接続手段を介して接続され、請求項1記載の入力手段から得られた画像データを前記コンピュータに出力するための所定の画像処理を実行する手段と、該実行後のデータを前記接続手段を介して前記コンピュータに出力する手段を備えた画像処理装置であって、前記画像処理を行うための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴としている。

【0012】請求項5記載の発明では、コンピュータと接続手段を介して接続され、該コンピュータから出力されたプリント出力用データに対して所定の画像処理を実行する手段と、該実行後のデータを出力する請求項1記載の出力手段を備えた画像処理装置であって、前記画像処理を行うための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴としている。

### 【0013】

【発明の実施の形態】以下、本発明の一実施例を図面を用いて具体的に説明する。図1は、本発明の実施例の構成を示す。入力手段1は、原稿を読み取って画像を入力する例えばスキャナである。Log変換手段2は、前掲した公報(特開平8-307717)に記載のLog変換回路に相当し、反射率リニアな信号を濃度リニアな信号に変換する。図6は、該公報の図1に示される画像処理装置の構成を示す。

【0014】論理演算手段3～6は、制御手段によって設定された内部の論理によって画像データを処理し、その内部論理は適宜、置き換え可能なFPGA(Field Programmable Gate Array)によって構成されている。記憶手段7～10は、画像データを一時的に記憶するRAMなどのバッファメモリである。制御手段11は、蓄積手段から論理情報を取り出し、論理演算手段3～6に入力して、内部論理を設定する、CPUコアおよびそれに関連するROMやRAMからなる。

【0015】蓄積手段12は、論理演算手段3～6に設定する複数の論理情報を蓄積するROMである。接続手段13は、コンピュータとのデータの入出力をを行うインターフェースである。出力手段14は、画像データ

を出力するプリンタである。像域分離手段15は、図6に示すエッジ分離回路、網点分離回路、色分離回路、記憶装置、マルチプレクサ、判定回路を1つの回路にまとめたものである。

【0016】本実施例では、論理演算手段3～6の内部論理を置き換えることにより、複写機、コンピュータ用スキャナ、コンピュータ用プリンタとして動作する。以下にそれぞれの場合の実施例を説明する。

【0017】(1)複写機としての実施例；一例として、図6に示すカラー複写機を実現する場合を説明する。図6におけるフィルタ回路(3)、色補正回路(4)、UCR回路(5)、ディザ回路(6)を、本発明の論理演算手段3～6によって以下のように実現する。

【0018】例えば、フィルタ回路では、図7(a)、(b)に示されるようなフィルタ係数が使用される。この場合、通常、フィルタ回路は、図2に示すように原稿画像データの主走査方向の画素数を記憶できるラインメモリを使用して構成される。例えば、A4サイズの原稿の長手方向を主走査方向とし、400dpiの解像度で画像を読み込むと、1ラインは約5000画素からなる。従って、使用するラインメモリの容量は、1画素を8ビットデータとすると、8ビット×5000画素×2本×3色分=240000ビットとなる。

【0019】一方、論理演算手段3～6の一例として、プログラマブル・ロジックデータブック(1997V3ザイリンクス株式会社)の4～6ページに示される最大規模のFPGA(XC4062XL)の内蔵可能なRAMの容量は、73728ビットであるため、複数個のFPGAを使用する必要があり、回路規模が増大し、コストが上昇する。

【0020】そこで、この問題を回避するために、本発明では、FPGAに内蔵可能な小容量のラインメモリを使用して画像処理を行う。一例として、ここでは、ラインメモリの記憶画素数を32とする。つまり、主走査方向の画素数が32の画像であるとして、バイオライン処理を行う。その結果、使用するラインメモリの容量は、8ビット×32画素×2本×3色分=1536ビットとなり、1個のFPGAに充分内蔵可能となる。

【0021】Log変換手段2から出力された画像データを、記憶手段7の容量以下(記憶手段7と8の容量は同じとする)の所定量で、図3に示すように副走査方向に分割し、それぞれをバンド1、バンド2、…、バンドn(nは2以上の整数)と呼ぶ。各バンドの画像データは、記憶手段7と8に交互に入力される。フィルタ演算時は、連続する3ライン上の5画素(合計15画素)にそれぞれの位置に対応した係数を掛けて加算する必要がある。したがって、スキャナ画像をバンクに分けた場合、その上端と下端で1ライン分の画像が不足する。この不足を補うため、図4に示すように、バンドi

( $i = 2 \cdots n - 1$ ) の画像データの先頭にバンド  $i - 1$  の最終ラインを追加し、バンド  $i$  の画像データの最後にバンド  $i + 1$  の先頭ラインを追加する。このように、記憶手段 7 と 8 で、画像データ入力を切り換える時に、2 ライン分の画像データを重複して入力する。

【0022】記憶手段 7 または 8 に入力された画像データは、図 5 に示すように、主走査方向の 32 画素毎に分割して出力する。まず、記憶手段の第 1 ラインの最初の 32 画素を出力した後、次に第 2 ラインの最初の 32 画素を出力する。以下同様にして、記憶手段に記憶された最終ラインの最初の 32 画素を出力する。

【0023】その後再び、第 1 ラインに戻り、次の 32 画素を出力する。バンド境界の 2 ライン分の画像データを重複したのと同様に、この時も、主走査方向の分割境界で画素を重複して出力する。フィルタ演算時は、注目画素の主走査方向の両側 2 画素が同時に必要であるため、既にに出力した第 1 ラインの最初の 32 画素の後部の 4 画素を重複して 32 画素を出力する。以下同様にして、記憶手段内の最終ラインまで出力する。

【0024】このようにして、 $L_o g$  変換回路から出力された画像データを、一旦記憶手段に記憶し、主走査方向の画素数が 32 の画像に分割してパイプライン処理を行う。この時、主走査および副走査方向の分割境界の画素を重複させることにより、フィルタ演算処理が円滑に実行できる。

【0025】論理演算手段内部に内蔵できる小容量のラインメモリを使用したフィルタ回路、色補正回路、UCR 回路、ディザ回路によって処理された画像データは、記憶手段 9、10 に交互に入力される。入力が終了した記憶手段から、再び主走査方向が 5000 画素の画像としてプリンタに出力される。

【0026】このような工夫が施されたフィルタ回路、色補正回路、UCR 回路、ディザ回路を論理演算手段 3 ~ 6 で実現するための論理情報を予め蓄積手段 12 に蓄積しておく。

【0027】まず、論理演算手段 3 ~ 6 に、上記論理を制御手段 11 により設定する。次に、スキャナで原稿を読み取り、その出力画像データが  $L_o g$  変換され、記憶手段 7 に所定量が入力される。記憶手段 7 に画像データを入力し終える前に、所定の重複画素量が記憶手段 8 にも入力され、記憶手段 8 への画像データ入力を続行する。

【0028】記憶手段 8 への画像データ入力中に、記憶手段 7 に入力された画像データを主走査方向に分割して出力し、論理演算手段 3 ~ 6 によって所定のパイプライン処理がなされる。処理後の分割された画像データは、記憶手段 9 に入力され、1 バンド分のプリンタへの出力画像データが完成する。その後、再び主走査方向が 5000 画素の画像として記憶手段 9 からプリンタに出力する。同時に、記憶手段 10 へ、パイプライン処理後の分

割された画像データ入力が始まる。

【0029】このようにして、前記公報におけるカラー複写機と等価な回路を、内部論理が変更可能な論理演算手段 (FPGA) を一部使用して実現できる。以上、説明したようにして、図 1 の実施例は複写機として動作する。

【0030】(2) コンピュータ用スキャナとしての実施例；ここでは一例として、スキャナから出力された画像データに対してフィルタ回路の処理までを行って、接続されたコンピュータに出力する場合を説明する。

【0031】論理演算手段 3 には、前述した複写機 (1) の実施例と同様の論理を設定する。論理演算手段 4、5 には、画像データが内部を通過する論理を設定する。論理演算手段 6 には、論理演算手段 3 によって分割処理された画像データを記憶手段 9 と 10 に交互に入力し、再び主走査方向が 5000 画素の画像としてコンピュータに出力する論理を設定する。

【0032】論理演算手段 3 ~ 6 に上記論理を設定するための論理情報を予め蓄積手段 12 に蓄積しておく。制御手段 11 により上記論理情報を蓄積手段 12 から読み出し、論理演算手段 3 ~ 6 に上記論理を設定する。スキャナ 1 で原稿を読みとり、論理演算手段 3 ~ 6 により、上記画像処理が行われ、記憶手段 9 と 10 に交互に画像データが入力される。その後、記憶手段 9 又は 10 から接続手段 13 を介して、接続されたコンピュータに画像データを出力する。このようにして、図 1 の実施例はコンピュータ用スキャナとして動作する。

【0033】(3) コンピュータ用プリンタとしての実施例；ここでは一例として、トリケシップス WS 13 3 ページプリンタコントローラ技術の p. 43 に記載されているようなページプリンタとして動作する場合を説明する。図 8 は、上記文献に示されるページプリンタの構成例である。

【0034】図 8 に示されるブロック図の内、画像処理に関する構成要素は、以下の通りである。

- CPU 部：ページプリンタコントローラ全体を制御する。
- フォント部：文字パターン用データを格納する。
- 描画制御部：コンピュータから伝送されたプリント出力用データを画像データに変換し、メモリに記憶する。

【0035】また、図 8 に示されるエンジンインタフェース制御部は、ここに接続されるプリンタエンジンを制御し、画像データを出力する部分である。既に、本実施例が複写機として動作する場合に、各記憶手段からプリンタへ画像データを出力する機能が実現されているので、エンジンインタフェース制御部の説明は省略する。

【0036】CPU 部は、本実施例の制御手段 11 に相当する。フォント部を構成する文字パターンデータは、予め蓄積手段 12 に蓄積しておく。

【0037】論理演算手段4にグラフィック描画機能を持たせ、論理演算手段5に描画制御機能を持たせる。この時、両論理演算手段は、記憶手段7、8、9、10をフレームバッファとしてアクセスできるようにする。つまり、論理演算手段4から、論理演算手段3を経由して記憶手段7、8にデータをアクセスしたり、論理演算手段5、6を経由して記憶手段9、10にデータをアクセスできるようにする。また、論理演算手段5から、論理演算手段3、4を経由して記憶手段7、8にデータをアクセスしたり、論理演算手段6を経由して記憶手段9、10にデータをアクセスできるようにする。

【0038】さらに、論理演算手段3、6は、論理演算手段4、5の内部の上記のデータアクセス用経路を切り換えて使用して、記憶手段7、8、9、10内のデータをプリンタに出力する機能も備えている。上記の機能を論理演算手段3～6の内部に設定するための論理情報を蓄積手段12に蓄積しておく。

【0039】まず、制御手段11により上記の論理を論理演算手段3～6に設定する。次に、コンピュータから接続手段13を介して入力されたプリント出力用データを一旦、制御手段11内のRAMに入力する。制御手段11内のCPUがこのデータを識別し、文字コードであれば、対応する文字パターンを蓄積手段12内のフォント部から読み出し、論理演算手段4にデータを送る。論理演算手段4は、送られたデータを画像データとして記憶手段（フレームバッファ）に書き込む。RAM内のデータがラスタイムジデータであれば、論理演算手段4にデータを送り、論理演算手段4によってデータが復号化され、画像データが記憶手段（フレームバッファ）に書き込まれる。又、RAM内のデータが图形データであれば、論理演算手段5にデータを送り、そのコマンドをドット展開し、記憶手段（フレームバッファ）に書き込む。

【0040】このように、CPUがデータを識別し、該当する論理演算手段にデータを送った後は、論理演算手段が記憶手段に書き込む処理を行う。このようにして、1ページ分のプリント出力用データを処理した後、各記憶手段内の画像データをプリンタに出力する。以上に述べたようにして、図1の実施例はコンピュータ用プリンタとして動作する。

#### 【0041】

【発明の効果】以上、説明したように、請求項1記載の発明によれば、内部論理を変更できる論理演算手段（FPGA）を使用しているため、専用LSIを使用するよりも開発期間が短縮され、論理変更が容易である。また、バイオペライン処理部の一部をFPGAで実現しているため、全体をFPGAで構成するよりも、高価なFP

GAの使用個数を減らせるため、コスト上昇を抑えることができる。

【0042】請求項2記載の発明によれば、画像データの主走査方向の分割境界部分の画素を重複して出力しているので、主走査方向に連続する複数の画素を同時に処理するフィルタ演算を効率良く実行することができる。

【0043】請求項3記載の発明によれば、画像データの副走査方向の分割境界部分の画素を重複して記憶手段に入力しているので、副走査方向に連続する複数の画素を同時に処理するフィルタ演算を効率良く実行することができる。

【0044】請求項4記載の発明によれば、他のコンピュータとの接続手段を有し、読み取った原稿画像を処理して他のコンピュータに出力できるため、コンピュータ用のスキャナとして使用する場合に外付けの装置が不要になる。

【0045】請求項5記載の発明によれば、他のコンピュータとの接続手段を有し、論理演算手段に、コンピュータから出力されたプリント出力用データをプリンタに出力するための画像処理論理を設定して、画像処理を行うので、コンピュータ用のプリンタとして使用する場合に外付けの装置が不要になる。

#### 【図面の簡単な説明】

【図1】本発明の実施例の構成を示す。

【図2】フィルタ回路の一部を構成するラインメモリを示す。

【図3】Log変換後の画像データをバンドに分割した図である。

【図4】バンドデータの記憶手段への書き出しを説明する図である。

【図5】バンドiの主走査方向の分割を説明する図である。

【図6】本発明が適用されるカラー複写機の構成例を示す。

【図7】(a)、(b)は、フィルタ回路例を示す。

【図8】本発明が適用されるページプリンタの構成例を示す。

#### 【符号の説明】

1 入力手段

2 Log変換手段

3、4、5、6 論理演算手段

7、8、9、10 記憶手段

11 制御手段

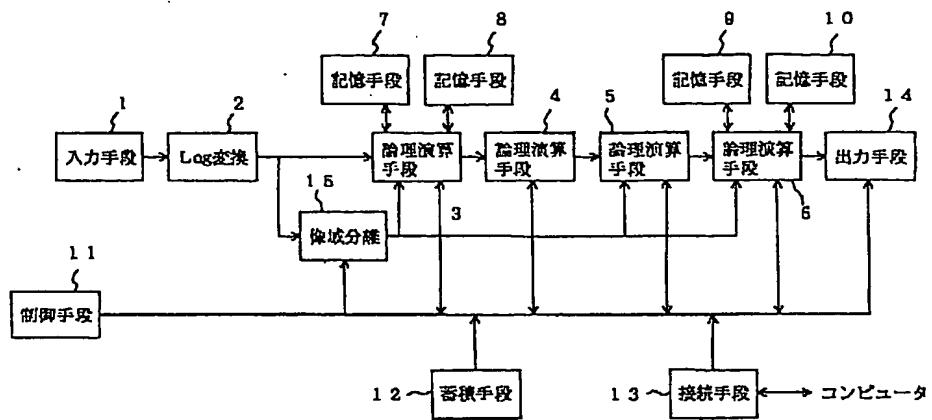
12 蓄積手段

13 接続手段

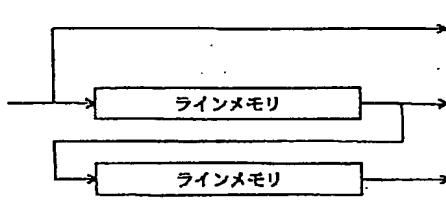
14 出力手段

15 像域分離手段

【図1】

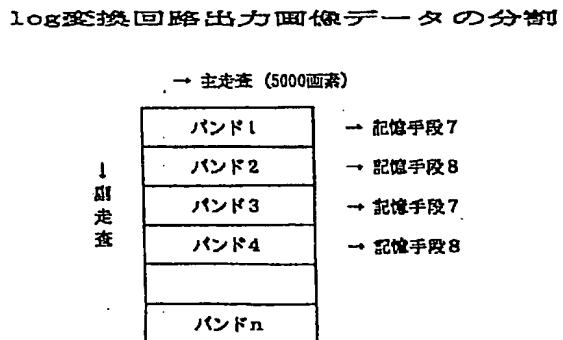


【図2】

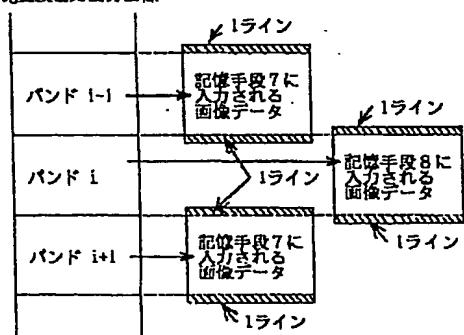


【図4】

【図3】

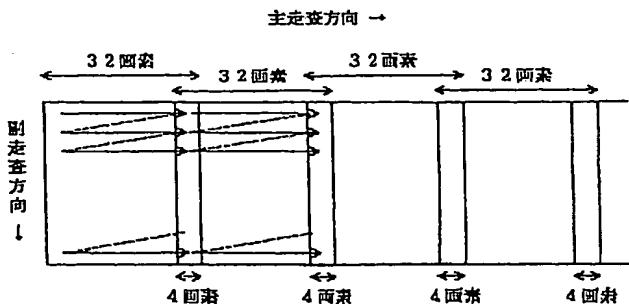


log変換回路出力画像

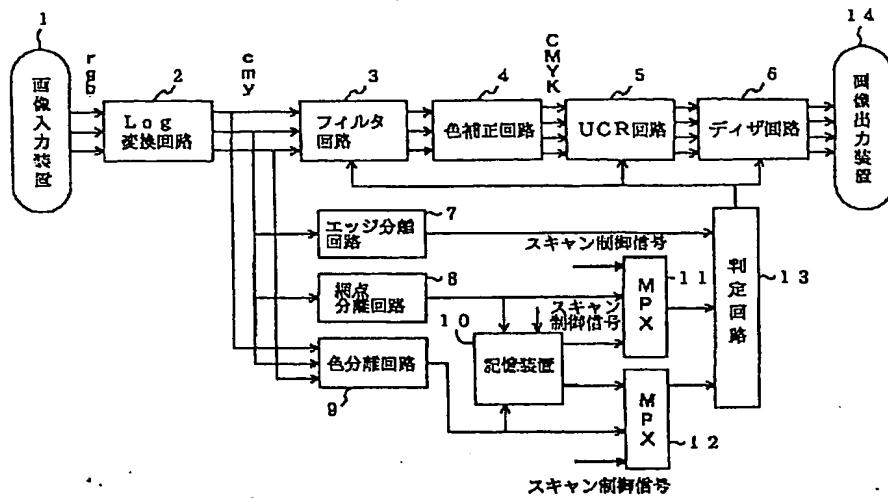


【図5】

「バンドiの主走査方向の分割」



【図6】



【図7】

1	2	2	2	1
2	4	4	4	2
1	2	2	2	1

0	-1	-4	-1	0
-2	-8	36	-8	-2
0	-1	-4	-1	0

【図8】

